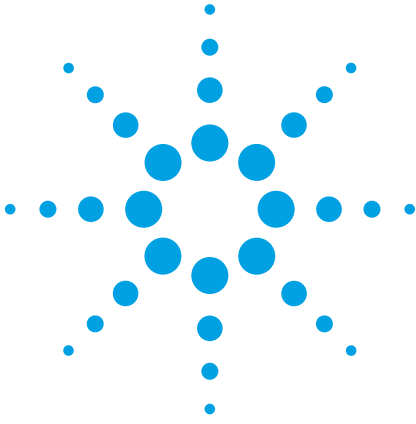


ADS統計解析による、IC歩留まりの向上



最新のコンピュータ支援統計解析ツールを使用してプロセス変動の影響を考慮することにより、ICの歩留まりを100%に近いレベルまで上げることができます。

Jack Sifri, RFIC回路シミュレーション・プロダクト・マネージャ
Agilent EEsof EDA
1400 Fountaingrove Parkway, Santa Rosa, CA 95403
(707) 577-4631、FAX (707) 577-5260
メールアドレス：jack_sifri@agilent.com
インターネット：www.agilent.com/eesof-eda

画期的な集積回路 (IC) デザインが、プロセス変動のために失敗に帰することがあります。変動を考慮するには、電気的な性能を高めるためのデザインだけでなく、製造歩留まりを高めるためのデザインが重要です。この記事では、高度な統計解析手法に基づく最新のマイクロ波回路デザイン・プロセスを紹介します。この方法は、複雑なICの歩留まりの改善に効果があります。この記事では、Xバンド・モノリシック・マイクロ波集積回路 (MMIC) の低雑音増幅器 (LNA) の詳細な解析手順を例として、このデザイン手法を紹介いたします。紹介する手法には、プログラマブル最適化、感度解析、デザイン・センタリング (歩留まり最適化)、実験計画法があります。最後のシミュレーションで、モデリングが正しければ、プロセス変動に影響されないように増幅器をデザインでき、製造歩留まりを高くできることを示します。

ICデザインで高い歩留まりを目標にする場合、製造プロセスの変動に影響さ

れない堅牢なデザインにする必要があります。この記事で説明する統計的手法は、最初に準備と解析のための投資が必要ですが、それに見合うだけの結果が得られます。基本的な統計デザイン・ステップを経ずに回路をデザインした場合、製造トライアルやデザイン反復のために研究開発コストが増大する可能性があります。

図1に示すのは、Xバンド低雑音増幅器MMICのデザインに用いられるデザイン・プロセスの概要です。初期デザイン・フェーズが終わった後、統計デザイン・ツールを使ってデザインを調べて、変更します。どの統計解析ツールを使用するかはデザイナーの選択にゆだねられますが、解析結果が詳細なほど回路デザインに対する深い理解が得られます。

プロセス・パラメータが最初に必要です。工場のプロセスでキャパシタ、抵抗、ライン幅がどのように変動するかを知ることが、シミュレーションと解

析のために必要です。次に、ICプロセスで用いられるトランジスタの良好なモデルを工場から入手する必要があります。さまざまなロットの実測データが得られる場合もあります。この実測データを使用するのが最善ですが、デバイスの変動の統計モデルの式を作成することも可能です。この例では、FETの実測データを使用します。LNAの初期デザインを開始するために、サンプルの中から代表的なデバイスとして適切なものを選択します。

LNAの仕様は、8 GHzを中心とした20%の帯域幅 (7.2~8.8 GHz)、14 dB以上の利得、3 dB未満の雑音指数、-14 dB以下の出力リターン・ロスです。デザインのトップレベルには3つの主要ブロックがあり、それぞれのブロックの間に電界効果トランジスタ (FET) があります。第1ブロックは入力整合回路、中央のブロックは段間整合回路、右端のブロックは出力整合回路です。FETには、安定化抵抗と、バイアスと安定化のための回路が組み込まれています。



Agilent Technologies

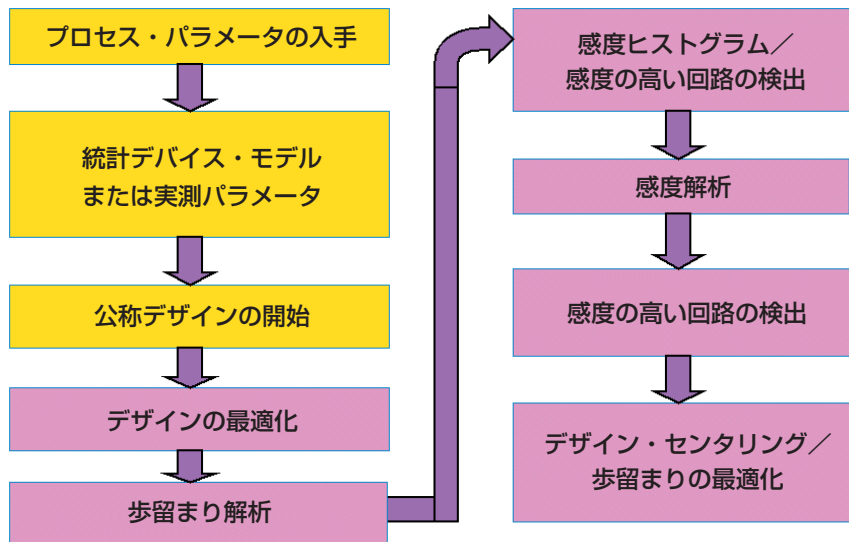


図1. ICの歩留まりを改善するためのデザイン・プロセスには、統計解析と歩留まり最適化が含まれています。

工場のプロセス・パラメータとしては、集中定数素子(抵抗とキャパシタ)が5%のガウス分布変動を示すことがわかっています。マイクロストリップ・ライン幅の変動は±0.5マイクロンで、サブストレータの厚さは公称値の100 μmから±3 μmの変動を示します。サブストレータの誘電定数の変動は±5%です。トランジスタに関しては、42個の異なるサンプルの実測Sパラメータと、ロット内の異なるウェーハの雑音パラメータが用いられています。

このデザインの入力整合回路には、マイクロストリップ・ライン、マイクロストリップ・ティー、キャパシタ、抵抗が存在します。入力整合回路は最初のFETに接続されており、出力に中周波数と高周波数の安定化のための抵抗があります。これらの抵抗は利得段の後の出力に置かれているので、雑音指数への影響は小さくなります。2ポートのデータ・アクセス・ブロックを使って、42個の異なるFETからSパラメータと雑音パラメータが読み取られます。段間整合回路は、マイクロストリップ・ライン、ティー、キャパシタ、長い伝送ラインの代わりにスパイラル・インダクタから構成されます。最後の出力整合回路には、開放端マイクロストリップ・ライン、直列マイクロストリップ・ライン、キャパシタが存在します。

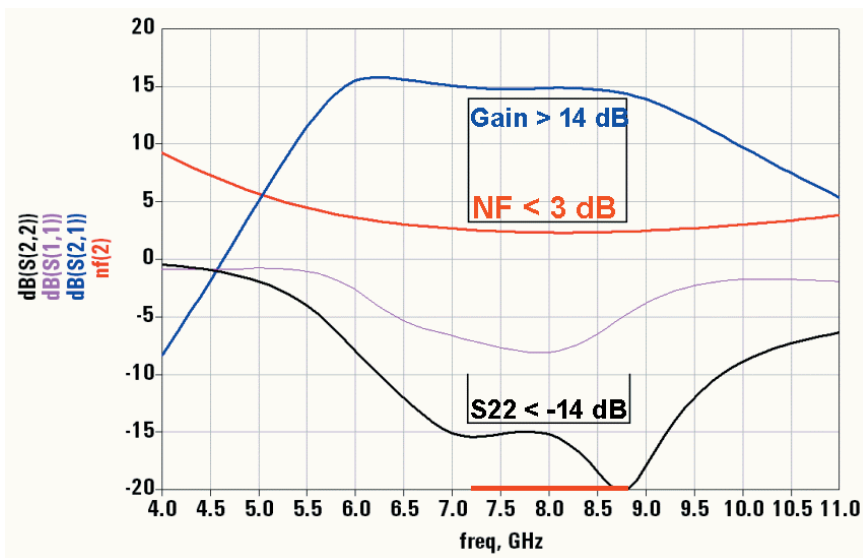


図2. 最適化によって増幅器の性能は劇的に改善されます。

LNA性能の統計解析

- 集中定数素子は5%のガウス分布変動
- ライン幅は±1/2μmで変動
- サブストレートの高さは100μm±3μm
- サブストレートの誘電定数は12.9±5%
- 42個のFETサンプル

| 不合格数 | 合格数 | 歩留まり |
|--------|-------|------|
| 912.00 | 88.00 | 8.80 |

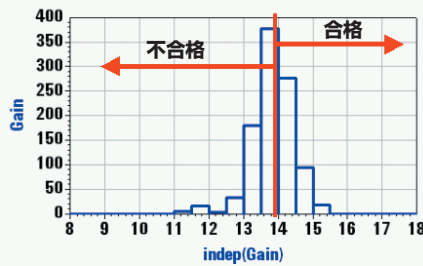
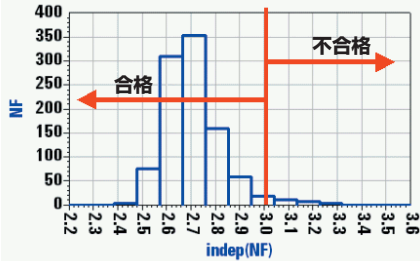


図3. 低雑音増幅器の初期(最適化後)デザインの、利得、雑音指数、出力整合に焦点を当てた歩留まり解析

次のステップは、このデザインの最適化です。このためには、プログラマブル最適化手順を使用します。プログラマブル最適化では、最適化手順の順序と設定を調整できます。このLNAではまず、入力整合回路の雑音指数を入力パラメータを使って最適化し、次に段間および出力回路の利得、フラットネス、出力整合を最適化し、最後にLNAの全仕様の全体的な最終最適化を行います。

最適化が終わると、性能基準が満たされます。図2に示すのは、最適化後の結果です。利得は14 dBを超え、雑音指数は3 dB未満、出力リターン・ロス(S22)は-14 dBを下回っています。このデザインは良好に見えます。周波数帯域幅などは過剰品質になっているほどです。

プロセスの次のステップでは、モンテ・カルロ歩留まり解析を実行します。この解析では、先ほど説明したプロセス変動を使って、1000回の試行を実行しました。図3に結果を示します。歩留まりはわずか8.8%です。明らかに、このデザインは感度が高すぎて歩留まりが低下しています。

図3の結果には、利得、雑音指数、出力整合の不合格の数が示されています。出力整合仕様には多数の不合格があり、半分が利得で不合格になっています。雑音指数の不合格はわずかな数なので、歩留まりの結果に対して雑音指数は責任がないことがわかります。

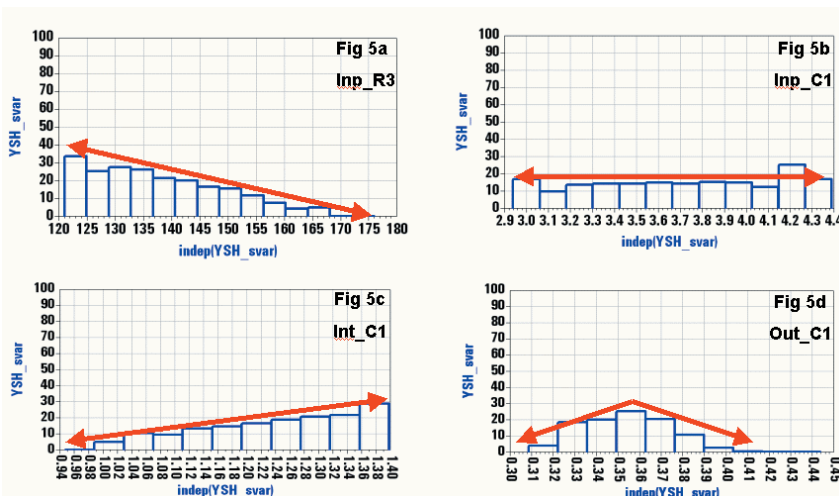


図4. 入力抵抗R3 (a)、入力段キャパシタC1 (b)、段間キャパシタC1 (c)、出力段キャパシタC1 (d)の4つの変数の影響を検証する歩留まり感度データ

LNA性能の統計解析

- 集中定数素子は5%のガウス分布変動
- ライン幅は $\pm 1/2\mu\text{m}$ で変動
- サブストレートの高さは $100\mu\text{m} \pm 3\mu\text{m}$
- サブストレートの誘電定数は $12.9 \pm 5\%$
- 42個のFETサンプル

| 不合格数 | 合格数 | 歩留まり |
|-------|--------|-------|
| 26.00 | 974.00 | 97.40 |

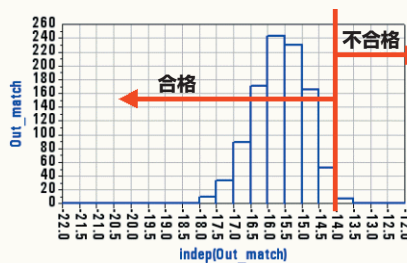
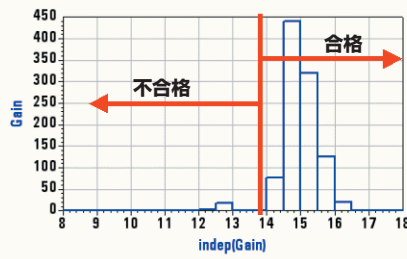
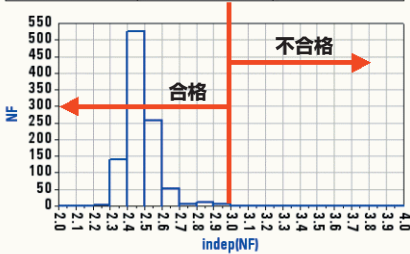


図5. デザイン・センタリング/歩留まり最適化プロセスによって、97%を超える高い歩留まりが実現されました。

問題箇所を突き止めるための最初の試みとして、入力整合回路を変化させて、増幅器の他の部分を公称値にします。結果の歩留まりは100%です。これは当然の結果です。入力整合回路は主に雑音指数に影響するもので、最初の歩留まり解析の結果、雑音指数は問題でないことがわかっているからです。次のステップとして、段間整合回路だけを変化させてみても、やはり歩留まりは100%です。これに対して、出力整合回路だけを変化させると、歩留まりは70%に落ち込みました。これは、出力整合回路のデザインが段間および入力整合回路ほど堅牢でなかったことを示す手がかりです。プロセス変動に対して敏感なコンポーネントをここから探し出す必要があります。

歩留まり解析のすべてのデータは、データ・セットに収集、記録されます。歩留まり感度ヒストグラムは、回路内の問題のある部品や敏感な部品を見つけ出して修正するために便利なグラフです。これを使えば、デザインの各素子の歩留まりに関して増幅器全体を調べることができます。

例えば、図4は、抵抗FET2_R3とキャパシタInp_C1、Int_C1、Out_C1の4つの素子の歩留まりへの影響を示しています。図4aから、抵抗R3の公称値を小さくすれば、LNA全体の歩留まりが上昇することがわかります。このようにコンポーネントの公称値を変化させて全体の歩留まりを改善するプロセスは、「デザイン・センタリング」と呼ばれる手法を使って自動化できます(この手法については後で説明します)。図4bからわかるように、入力整合回路のキャパシタC1は敏感ではなく、その公称値前後の変動は歩留まりに影響しません。図4cから明らかに、段間回路のC1の公称値を大きくすればLNA全体の歩留まりが上がるはずですが。図4dのヒストグラムは特に興味深いものです。これは中央に最大値があり、公称値を左右どちらに変化させても歩留まりは0に低下します。これは先に述べた、出力整合回路の出力にあるキャパシタ

C1です。このプロットから、このコンポーネントはデザインの歩留まりに重大な影響を与えることがわかります。このようなコンポーネントは「赤い×印」のコンポーネントと呼ばれ、変動が許されません。ボード・レベルのデザインなら、このキャパシタの許容範囲を狭く指定することができます。しかしICデザインでは、キャパシタの値の変動は半導体プロセスで決まってしまうため、C1の変動が回路の歩留まりを制限している場合は、プロセスの制限を考慮して整合回路のデザインを変更する必要があります。

各コンポーネントとその変動に対する歩留まりを統計的に解析することにより、歩留まりに影響しているコンポーネントがわかりました。出力整合回路のキャパシタC1の歩留まりヒストグラムから、歩留まりが低い最大の原因はC1であることがわかります。もちろん、熟練したデザイナーなら、出力整合回路を変更するか、それほど敏感でない別の回路に置き換えることにより、デザインの次の段階に進めるかもしれません。それとは別の方法として、他の統計ツールを使用することで、問題の本質をさらに確定し、理解することもできます。そのようなツールの1つとして、感度解析があります。

感度解析は、歩留まり感度ヒストグラムとは別のものです。コンポーネントをそのプロセス変動範囲全体で変化させる代わりに、感度解析では公称値の前後にわずかな大きさだけ変化させます。一度に1つのコンポーネントを変化させ、回路全体に対するその影響を測定します。感度解析の目的は、敏感な素子を特定することです。

感度解析は有用なツールですが、値をわずかしき変化させないため、また一度に1つの素子しか変化させないため、これだけではわからないことがあります。ただし、このデザインの歩留まりが低いという問題を評価するためには有効です。

次に、LNAデザインの例で、キャパシタだけを対象にS22をゴールとして感度解析を実行します。出力回路のキャパシタC1とC7は、S22のゴールに対して高い感度を示します。

敏感なコンポーネントや回路を発見するためのもう1つの統計ツールとして、実験計画法(DOE)があります。これは選択した変数を使って解析するものです。DOEでは、必要な一連の解析(実験)を設定します。このLNAには多数の素子があります。問題のサイズを制限するために、入力整合回路、段間整合回路、出力整合回路を表す3つのサブシステム変数を選択します。これらをそれぞれ Δ_{inp} 、 Δ_{int} 、 Δ_{out} と呼びます。3つの変数を使って、8つの実験を行います(2^x)。

各回路はいくつかの変数から構成されるので、実験中にそれぞれの回路がどのように変化するかをデザイナーは知っておく必要があります。入力整合回路の場合、3つの変数はキャパシタC1、抵抗R1、ライン幅W1です。C1の公称値は5 pF、R1は20 Ω、W1は10 μmです。変数 Δ_{inp} は値の最大の変動、すなわち5%に設定されています。実験で入力回路が変化させるとき、公称値は(1 + Δ_{inp})と(1 - Δ_{inp})の割合で変化します。段間および出力整合回路も同様に変化します。

実験は、利得、雑音指数、出力リターン・ロスS22に対して3回実行します。DOE解析から、S22の変動の主な原因は出力整合回路の変動であることが明らかになりました。同様の解析により、入力および段間整合回路の変動に起因する利得と雑音指数の変動はわずかであることがわかりました。

歩留まり解析、歩留まり感度ヒストグラム、感度解析、DOEツールのすべてによって、出力整合回路のデザインを変更する必要があることが示されました。変更したLNAを、前と同じファイルを使って再び解析し、最適化しました。変更したLNA回路に対して歩留まり解析を実行すると、前の8.8%から約40%の改善が見られました。プロセス変動に対するデザインの感度は下がりましたが、コンポーネントの公称値は歩留まりが最大化する中央の位置にまだありません。このように、コンポーネントの公称値を移動して全体の歩留まりを改善するプロセスは、デザイン・センタリング・プロセスによって自動化します。

このLNAデザインの最後のステップでは、デザイン・センタリング・ツール(歩留まり最適化ツール)を使います。このツールは、すべての値を調整し、最適化しながら、歩留まり解析を実行します。現在40%の歩留まりを100%近くにまで上げることを期待しています。代表的な場合で、最初の5回から10回の反復で改善の80~90%が実現されます。この自動プロセスの後、図5の結果が得られました。歩留まりは40%から97.4%に上昇しました。

97.4%というのは高い歩留まりですが、統計ツールを使えば100%の歩留まりのための残る障害を調べることができます。まず、歩留まり解析の利得と雑音指数のデータを調べることにより、利得データが2つのグループに分けられることがわかります。1つのグループは利得が低く、もう1つのグループは利得が高くなっています。同様に、1つのグループは雑音指数が大きく、もう1つのグループは雑音指数が小さくなっています。このことから、42個のサンプルのうちに弱いデバイスがいくつかあり、おそらくそれらは利得が低くて雑音指数が大きいと推定されます。このことを確認するには、42個のデバイスの歩留まり感度ヒストグラムを調べます。7個のデバイスにおいて問題が発見されました。これらのデバイスは起こりうるすべてのプロセス変動で仕様を満たすのに十分な利得がありませんでした。ひとつのデバイスは歩留まりが0であり、不良デバイスであることがわかりました。これらの弱いデバイスと不良デバイスを解析結果から除くことにより、100%にきわめて近く、プロセス変動の影響をほとんど受けない歩留まりが得られます。

堅牢な最終デザインを使って、任意のコンポーネントに対する歩留まり感度ヒストグラムをプロットすると、コンポーネントの変動により歩留まりがどのように変化するかがわかります。堅牢な最終デザインでは、どのコンポーネントの公称値の変動に対しても、歩留まりがきわめて高くフラットであることがわかります。最終デザインの歩留まり感度ヒストグラムでは、すべてのコンポーネントに対して95%~100%と一貫して高い歩留まりが示されています。

ここで紹介した最適化および統計解析手法は、Agilent EEsof EDAのAdvanced Design System (ADS) 2002を使って実現されています。このソフトウェア・ツールの詳細については、Agilent EEsof ウェブサイト <http://www.agilent.com/find/eesof> をご覧ください。

アジレント・テクノロジー株式会社

本社 〒192-8510 東京都八王子市高倉町9-1

計測
お客様窓口

受付時間 9:00~19:00
(12:00~13:00も受付中)
※土・日・祭日を除く

FAX、E-mail、Webは**24**時間受け付けています。

TEL ☎ **0120-421-345**
(0426-56-7832)

FAX ☎ **0120-421-678**
(0426-56-7840)

E-mail: contact_japan@agilent.com

電子計測ホームページ

<http://www.agilent.co.jp/find/tm>

- 記載事項は変更になる場合があります。
ご発注の際はご確認ください。

Copyright 2003

アジレント・テクノロジー株式会社



Agilent Technologies

July 9, 2003
5988-9782JA
0000-08DEP