

# DQPSK衛星システムの RFICトップダウン・デザイン手法

Frank Ditore、シニア・アプリケーション・  
スペシャリスト

Kal Kalbasi、通信アプリケーション・  
スペシャリスト

Agilent EEsof EDA

## 概要

RFICエンジニアは、チップとシステムの両方のレベルで、デザインの急速な複雑化に直面しています。個々のブロックごとにデザインされる従来のデザイン・フローは、小規模であまり複雑でないデザインには有効ですが、多くの機能をより小型のサイズに搭載する近年のデザインには、もっと異なる統一された手法が必要になります。このような手法として、ボトムアップ検証にも対応したトップダウン・デザインやトレード・オフ解析があります。RFICデザイナーは、各ステップでのボトムアップ検証はもちろん、システム・アーキテクチャ、RFシステム・デザイン、ICデザイン、ベースバンド(デジタル)デザインなどの主要プロセスを処理できる統合型のプラットフォームを必要としています。

この記事では、衛星システムの設計フローについて、特に汎用レシーバのデザインに重点を置いて、この手法のアプリケーションへの適用性を、一般的なRF/ミックスド信号に焦点を絞って説明します。最初に、極めて高い抽象レベルでのトランシーバのビヘイビア・パーティション・シミュレーションを行い、続いてより下位レベルのレシーバ・デザインの一部の仕様を最適化します。RFフロントエンドや復調器を含むDQPSKレシーバのデザインについては、RFフロントエンドの雑音指数やBERを使用したベースバンド復調器の最適化を通して詳細に検討します。さらに、RF/ベースバンド・デザインのこうした仕様をどのようにして現実的なRF/固定小数点デザインへ転換させるのか、またどのようにしてトップレベルのシステム・デザインに組み込み直して第1段階の検証を行うのかを説明します。

## 通信用RFICデザインについて

アーキテクチャ・レベルでのデザインでは、BERとEVMが主要なシステム指標となります。BERについては、デザイナーが上位レベルの仕様を決定して、与えられたSNR ( $E_b/N_0$ ) に対して一定のBERを維持する必要があります。このレベルで、デザインがレシーバ内に存在するベースバンド(デジタル/アルゴリズムック)ブロックやRF/アナログ・ブロックに分割されます。詳細なブロックが利用可能であれば使用されます。トップレベルの仕様でデザインの最適化によって得られると、RFシステム・デザイナーに伝え、さらに詳細な設計作業が行われます。

RFシステム・デザイナーは、さまざまなレシーバ/トランスミッタ・システムや信号/雑音バジェットのトレード・オフに関心を持っています。この段階での典型的な測定としては、スペクトラム、ACPR、EVMがあります。

RFシステムのデザイン後、ミキサやパワーアンプなどの特定のサブシステムがICデザイナーに渡され、トランジスタ・レベルのデザインや集中定数/分布定数素子によるデザインに用いられます。寄生成分のカップリングを調べる場合には、電磁界レベルまで掘り下げ、近接結合や電磁界結合に起因する物理的な効果を解析します。

トップダウン・フローは、各ステップで、ボトムアップ・フローによって補完され、検証されます。

## 衛星デジタル通信システムの例

典型的な衛星通信システムでは、レシーバの雑音指数、DQPSKデコーディング・アルゴリズムのデザイン、デコーダの固定小数点デザインに対して、基本的なシステム・レベルでの解析を行います。さらに、スーパーヘテロダイン・レシーバの実際回路レベルでのシミュレーションなど、デザインの最終解析も行います。

システムの設計者は、システムの上位レベルの記述から始めます。この段階で、物理層から見た既知の量は、信号の帯域幅、変調方式、データ・レート、EIRP (等方性放射を基準にした実効放射電力)、距離、必要なBERです。

図1は、オンボード・ダウンコンバータと、アップリンク部分のシステム・レベルのスキーマティック・デザインを示したものです。使用されている変調方式はDQPSKで、測定値はBERとSER (シンボル・エラー・レート) です。SER測定の場合、信号のI成分用とQ成分用の2つの基準経路があります。

この段階で上位レベルのビヘイビア・モデルを使って、システムのRF部分をモデリングします。シミュレーションは離散時間で行われ、信号はバンドパス (複素エンベロープ) とベースバンドの両方でモデリングされます。LNB (ローノイズブロック) のモデルは、続くLNAのNF解析のプレースホルダに含められます。

RF/IF周波数、EbN0、ターゲット・ビット・エラー・レート、シンボル・エラー・レートなどの仕様の概要については、表1を参照してください。

表に示されているように、レシーバの雑音指数 (NF) の制限値は分かりません。どの程度のNFであれば、信号品質 (BER) を劣化させることなく、また電力要件を変更することなく、許容することができるのでしょうか？

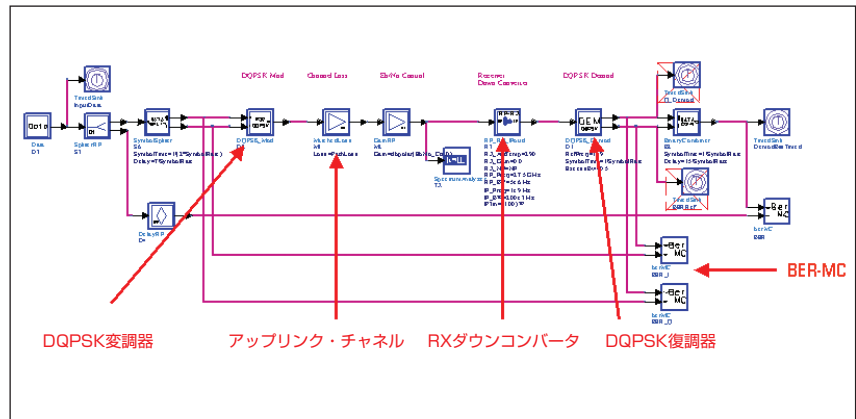


図1

パラメータ	仕様
入力信号の帯域	27.5 GHz
変調方式	DQPSK
Eb/NO、1e-4に必要な	11 dB
必要なU/L EIRP	40.6 dBW
IF帯域	70 MHz
レシーバの雑音指数	????
データ・レート	64 KBPS

表1

DQPSK変調のBERシミュレーションのセットアップを図2に示します。DQPSK検波はコヒーレントではないため、復調器でのキャリア・リカバリは不要です。これは、DQPSK変調器と復調器の詳細を示したものです。

重要なパラメータは、アンテナ利得 (EIRPおよびRX利得を設定するため)、経路損失 (衛星の高度) です。Eb/Noは、経路損失からRXアンテナの雑音生成コンポーネントまでの信号の減衰量 (利得) を変えることにより、これらのパラメータとは独立に制御できます。このコンポーネントは、レシーバのアンテナの雑音温度をモデル化したもので、シミュレーションのノイズ・フロアを決定します。他のコンポーネントは雑音を発生しません。

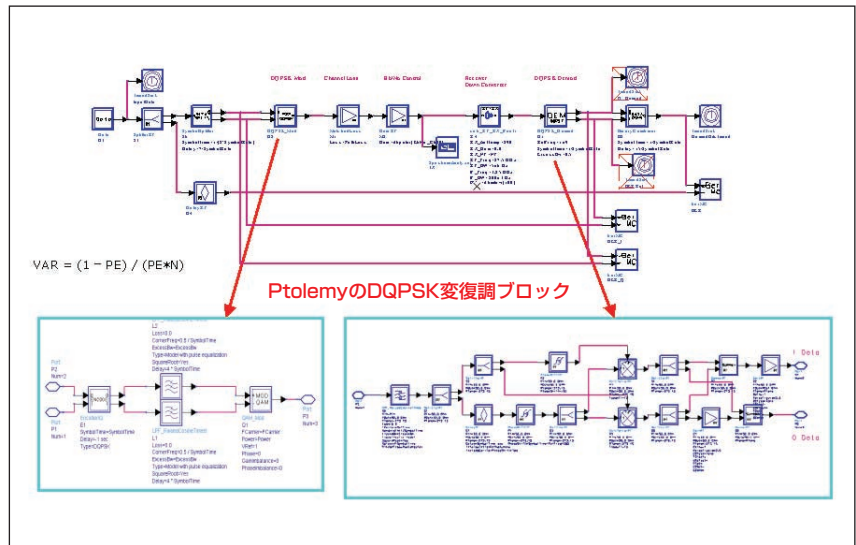


図2

BER測定コンポーネントは、前述の雑音源を唯一のランダム変数として、モンテカルロ・シミュレーションを実行します。シミュレーション時間は、これらのBERコンポーネントによって制御され、一定の統計的な分散が満たされるまでシミュレーションが続けられます。経験則として、シミュレーションの長さ(ビット単位)は、以下の式によって決定されます。

$$\text{ビット数} = 1 / (\text{ビット} \cdot \text{エラーの確率} \times \text{分散})$$

基本的なリンク式を使って、リンク境界条件とリンク・マージンを決定します。

RXのNFを求めるには、選択した特定の変調方式に必要なEb/Noの他に、TX EIRP (TXパワー+アンテナ利得)、経路損失、受信アンテナ利得、雑音温度が既知である必要があります。DQPSK (1e-4のBER) の場合、必要なEb/Noは11 dBです。

EIRP=40.5 dBW、Gain\_Rx=37.5 dBi、ビット・レート=64 kbps、雑音温度290 Kが与えられていると、必要なNFを計算することができます。リンク・マージンを10 dBにするためにNF=4 dBにします。

注記：パラメータは、典型的なKaバンドVSATアプリケーションに基づいて設定されています。

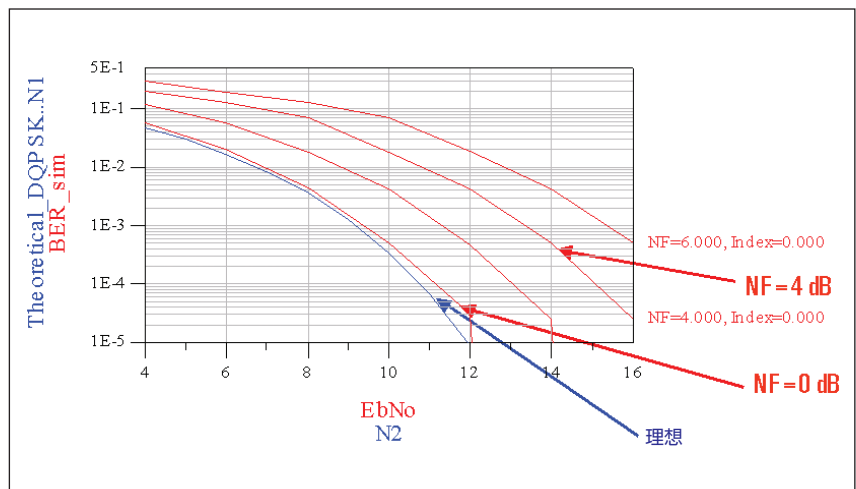


図3

図3は、リンク・マージンの計算を検証するために、シミュレーションで掃引されたレシーバの4 dB前後のNFを示したものです。

理想的なケースは、雑音指数がゼロのレシーバです。他の3本の曲線は、NF=2、4、6 dBの場合のBER曲線の変化をそれぞれ示したものです。

衛星通信システムでは、非常に長い距離のために、弱い信号を扱います。したがって、最良の搬送波対雑音比を維持するために雑音を減らして、感度を最大限に高める必要があります。通常これは、雑音パワーを最低限の値に維持しながら、信号が十分に通過できるだけの大きさに、IFステージのレシーバの帯域幅を設定することによって行います。衛星中継

器のダウンコンバータでは、さらに、信号チャンネルのローカル発振器の雑音を変換するミキサやLNAからの雑音が付加されます。

シミュレーションの結果、11 dBのEb/Noで1.0E-4のBERが得られました。これは、-115 dBmの受信信号パワーと等価です。ダウンコンバージョンのNFが4 dBの場合、-111 dBmの受信信号パワーにすれば、4 dBのEb/Noの増加で、同じBERが得られます。<sup>1</sup>

シミュレーション結果から、4 dBの雑音指数が許容可能な上限であり、このとき10 dBのリンク・マージンを維持できると推測しました。このマージンは、温度変動、大気による減衰、NFの変動を見込んでいます。

RFサブシステム・デザイナーが使用する他のダウンコンバージョンの値とこの値を使用します。この他の最も重要な仕様は、RF-IF間の利得です。これにA/Dと復調器のダイナミック・レンジを加えて、システム全体のダイナミック・レンジが決定されます。ただし、RXアンテナの配置または場所が原因で、入力信号パワーの変動が予測される場合には、AGCが必要になることもあるので注意してください。

シンボルのPSK変調への差分エンコードは、受信機の復調器に求められる複雑さを大幅に軽減する新しい方式です。情報がシンボル・ポイント間の位相変化に符号化されるため、実際の搬送波の位相の復元は不要です。周波数は位相変化の速度であるため、DPSKは実際には、実装が極めて簡単なFMリミッタ/ディスクリミネータ・タイプのレシーバを使って復調することができます。ここでは、デジタルで実装されています。

DPSKの1つの重大な欠点は性能です。DPSKは通常、コヒーレント復調機能を備えたPSKシステムに比べて、2〜3 dB性能が低下します。<sup>2</sup>

PSK変調の差分エンコードはわかりやすい方法です。ビットまたはビット・シーケンスによって状態が変化する度に、状態変化が変調搬送波の位相変化として符号化されます。ビット・シーケンスが変化しない場合は、位相は変わりません。Grayコーディングなどの追加のエンコードは、与えられたビット・シーケンスの変化に対応する位相変化を正しく選択することによって実現できます。90度の位相変化では、2ビット(M=2)シーケンスのうち1ビットに変化が生じるだけです。このため、ある程度エラーを防ぐことができます。

DPSKのコヒーレントでない復調では、位相の変化を正確に測定するために、現在および過去のシンボル・ポイントを知っておく必要があります。これは、簡単な三角法によって計算できます。DQPSKデコーダから出力されるI/Qシーケンスは、実際に伝送されたシンボルではなく、波形から位相変化の符号化を除去するための中間結果です。その結果として表示される4レベル・コンスタレーションは、伝送されたシンボルに対応する位相変化を検出するために、「ス

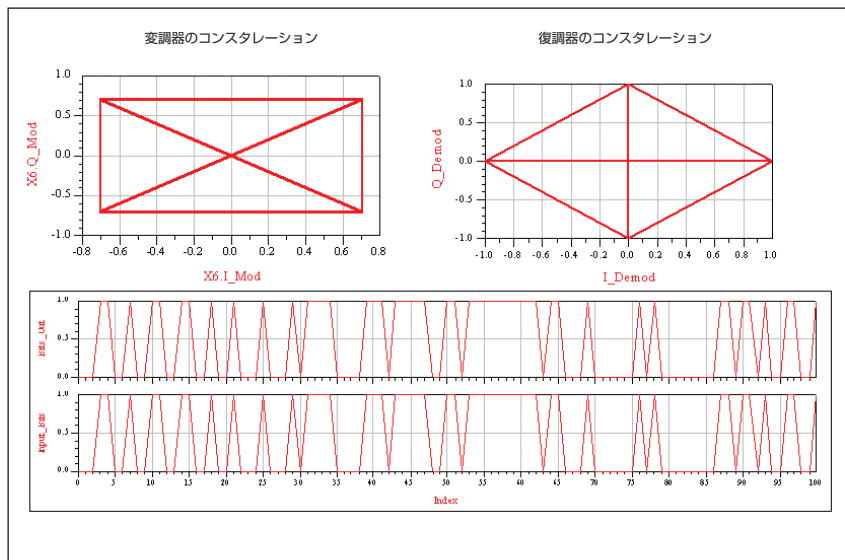


図4

ライス」する必要があります。ここでは、Grayデコードも実行されます。

差分復調では、位相変化はI/Qシーケンスに変換されます。

算出された式を使用すると、アルゴリズムの浮動小数点シミュレーションが実現します。デコーダの性能が数値的にチェックされ、その結果がシンボル・スライサの実装に用いられます。スライサは、デコーダから出力されるI/Qシーケンスをビットに変換する際に使用されます。

デコーダからのコンスタレーション・ポイントは、軸上のI/Q平面に存在します。これらのポイントの振幅は、復調器への入力信号の振幅の関数になります。

シンボル・スライサの目的は、差分デコードされた波形から伝送ビットを回復することです。デコードされたシンボル・ポイントは軸上にあるため、スライサは、そのポイントが存在する象限を特定してから、Grayデコーディングを実行して、ビットを抽出する必要があります。

スライサは、各象限に $\pm 45$ 度のしきい値を設定し、シンボルを正規化してから、シンボルが存在している場所に関する決定を行うように設定されています。この計算は、コンパレータの機能に加えて、簡単なアークコサイン/アークサイン関数を使って行われます。また、信号のサン

プリング・レートが極めて低速であるため、この計算はソフトウェアで行われます。

差分デコーダやシンボル・スライサの機能の検証は、基本的な数値シミュレーションを用いて行われます。この検証用の数値バージョンのDQPSK変調器もあります。

図4に示されているように、デコーダに送られるコンスタレーションは、4レベルQAM波形のように見えます。このレベルでは、QPSK、DPSK、4-QAMを区別することは困難です。

また、デコーダからの出力は4レベル・コンスタレーションを45度回転したものです。実際には、デコーダのアルゴリズムのために、入力位相を任意にとることが可能で、出力ポイントはやはり軸上に存在します。ここで注意すべき点は、入力コンスタレーションが位相変化で符号化したシンボル・ビットを持つのにに対して、出力コンスタレーションは絶対コンスタレーション・ポイントで符号化したシンボル・ビットを持つということです。

図4の最後のグラフは、変調器への入力ビットと復調器の後のリカバリ・ビットを比較したものです。

RF I/Q変調器を追加することにより、I/Qベースバンド・シーケンスを変調RF搬送波に変換します。このシミュレーションのベースバンド・シーケンスは、タイム・ドメインではなく、サンプル・シーケンスが進化したものです。簡単なD/A変換は、FIRフィルタリングと共に、変調器の内部で行われます。

信号が変調RFドメインに入ったら、Eb/No比を必要な値に設定できるように、制御された方法でノイズを信号に付加することができます。

I/Q復調器は、ノイズを含むRF波形を取り出して、ベースバンドI/Qの数値シーケンスに変換します。FIRフィルタリング、デシメーション、サンプルの位相設定は、すべてI/Q復調器の内部で行われます。

前のテスト・ベンチを使用した場合は、I/Q復調器入力での信号のEb/Noは、4 dBから12 dBの間で変動します。結果は、前のスライドと同じ理論曲線と比較されます。

両者の間にはわずかなオフセット(約0.5 dB)が見られますが、結果は理論データと非常によく一致しています。これにより、選択したデコーダ・アルゴリズムが効果的であることがわかります。

次の作業は、このデザインを現実的な固定小数点回路にすることです！

DQPSKデコーダの浮動小数点デザインは、現在、シミュレーション環境で固定小数点エレメントを用いて実装されています。これらのブロックを用いることにより、2~256ビットの固定小数点をシミュレーションし、飽和、切捨て、丸めなどの効果を捕捉することができます。

デコーダに加えて、I/Q復調器からデコーダまでの信号経路全体も固定小数点回路にします。これには、FIRフィルタや利得調整ブロックが含まれます。信号の振幅を量子化するために、簡単なA/D変換をモデル化します。

固定小数点デザインを検証するためのテスト・ベンチは、FIRフィルタとDQPSKデコーダが等価な固定小数点

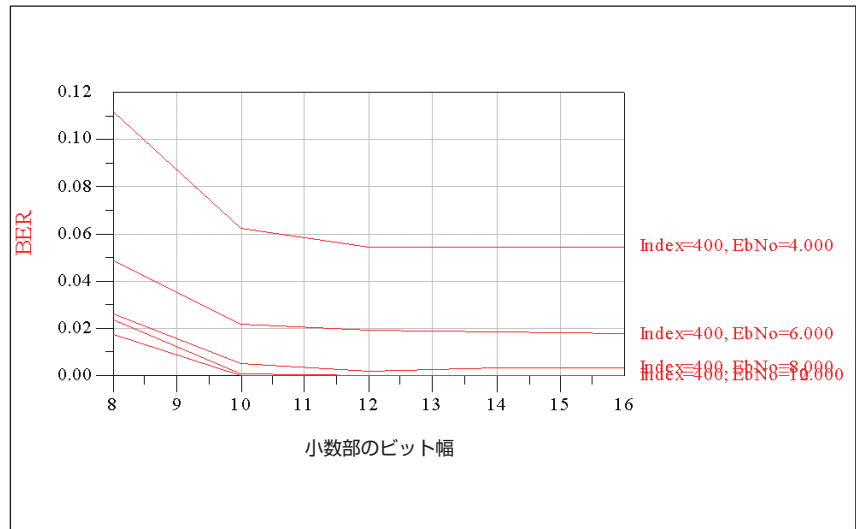


図5

回路に置き換えられるという点を除いて、前の浮動小数点デザイン用のテスト・ベンチとまったく同じです。

ビット幅は、性能の検証用に非常に大きく設定されています。次のステップでは、実装規模と性能とのトレードオフを考えるために、ビット幅を変更します。

変数を掃引して、Eb/Noの範囲で小数部の幅を変更します。これにより、ビット幅ドメインにおけるBER性能を解析できます。

図5に示されている結果からは、4 dBのEb/Noでも、BERを悪化させることなくDQPSK信号をデコードするのに、11ビットで十分であることがわかります。12ビットであれば、さらにマージンが得られます。

解析の初期に、LNBのNFは4 dBに設定していました。次に、デコーダを用いてDQPSKデコーダ/シンボル・スライサ・アルゴリズムが調べて、最終的に固定小数点デザインにします。

簡単な単一のダウンコンバージョン・レシーバ・アーキテクチャを用いてこれらを統合して、シミュレーションによりデザインを検証します。

最終的なシミュレーションを実行する前に、レシーバの利得を解析して、

受信信号レベルをダイナミック・レンジの中央にする必要があります。これは、復調用の信号レベルが十分であることを保証しながら、デコーダのオーバフローを防ぐために行います。

上述の場合に必要なレシーバの利得は110 dBです。シミュレータの場合は問題ありませんが、この利得では単一のダウンコンバージョンを実装することは難しいかもしれません。したがって、最終デザインは、おそらくデュアル・ダウンコンバージョン・アーキテクチャにする必要があるでしょう。

最終システムは、一定の雑音指数を持つレシーバ/ダウンコンバータ機能が含まれているので、理想復調器よりも高いEb/Noで動作しています。動作時のEb/Noは15 dBに設定され、仕様に適合した距離性能が実現できます。また、リンク・マージンは10 dBになります。

シミュレートした性能と直接比較できるように、理論曲線は4 dBシフトされています。

ここで、RFシステム・デザイン・ガイドを用いて、ダウンコンバータの詳細を指定します。このガイドを用いることにより、スーパーヘロダインから直接変換まで、多数のトランスミッタ/レシーバRFアーキテクチャを検討することができます。選択度や出力スプリアスの測定に加えて、NF、利得、TOIのバジェット解析も迅速に実行できます。

ここではダブルステージ・ダウンコンバータ・レシーバが選択され、コンポーネント仕様を変更されています。これは、100 dBを超える利得のため、このアーキテクチャを選択しています。

ダウンコンバータが実現したので、ダブルステージ・サブシステム・ダウンコンバータ、トランジスタ・レベルの増幅器、分布定数整合回路などの回路レベルでのデザインが、トップレベル・デザインで動作することを確認します。

次に、詳細なダウンコンバータを階層デザインに接続し、回路エンベロープを使ってシミュレートします。

図6は、最終的なシミュレーション結果を示したものです。

結果からは、実際の回路デザインがBERに関しては正常に機能していること、仕様のBER値を満たしていることが分かります。

さらにシミュレーションを実行して、C/I、選択度、その他の非線形特性を求めることも可能です。

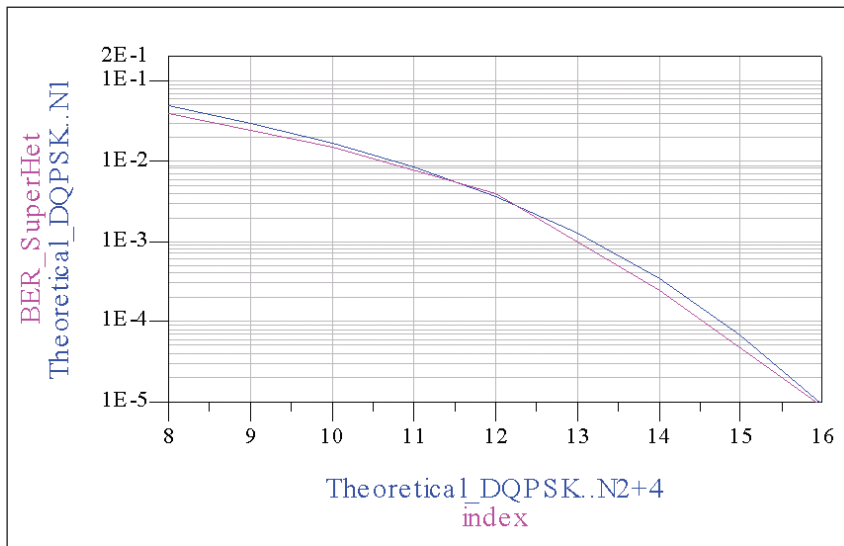
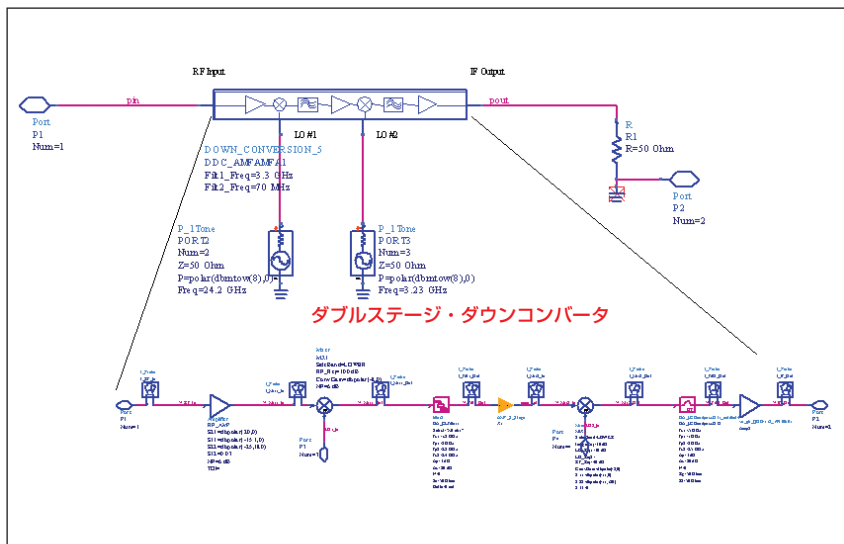


図6

## まとめ

この記事では、RFミックスド・シグナル・デザインにトップダウン・システム/回路デザインを用いることの意義を紹介しました。

この例は、Agilent EEs of EDAのAdvanced Design Systemを使用して作成されました。ADSの詳細については、[www.agilent.co.jp/find/eesof](http://www.agilent.co.jp/find/eesof)をご覧ください。

## 参考文献

1. Digital Communications, Joh n G. Proakis  
McGraw Hill, 1995 3rd edition, Page 276ページ (eq 5-2-70)
2. Reference : Digital Communications, John G. Proaki  
McGraw Hill, 1995 3rd edition, Page 276

## サポート、サービス、およびアシスタンス

アジレント・テクノロジーが、サービスおよびサポートにおいてお約束できることは明確です。リスクを最小限に抑え、さまざまな問題の解決を図りながら、お客様の利益を最大限に高めることにあります。アジレント・テクノロジーは、お客様が納得できる計測機能の提供、お客様のニーズに応じたサポート体制の確立に努めています。アジレント・テクノロジーの多種多様なサポート・リソースとサービスを利用すれば、用途に合ったアジレント・テクノロジーの製品を選択し、製品を十分に活用することができます。アジレント・テクノロジーのすべての測定器およびシステムには、グローバル保証が付いています。製品の製造終了後、最低5年間はサポートを提供します。アジレント・テクノロジーのサポート政策全体を貫く2つの理念が、「アジレント・テクノロジーのプロミス」と「お客様のアドバンテージ」です。

## アジレント・テクノロジーのプロミス

お客様が新たに製品の購入をお考えの時、アジレント・テクノロジーの経験豊富なテスト・エンジニアが現実的な性能や実用的な製品の推奨を含む製品情報をお届けします。お客様がアジレント・テクノロジーの製品をお使いになる時、アジレント・テクノロジーは製品が約束どおりの性能を発揮することを保証します。それらは以下のようなことです。

- 機器が正しく動作するか動作確認を行います。
- 機器操作のサポートを行います。
- データシートに載っている基本的な測定に係わるアシストを提供します。
- セルフヘルプ・ツールの提供。
- 世界中のアジレント・テクノロジー・サービス・センターでサービスが受けられるグローバル保証。

## お客様のアドバンテージ

お客様は、アジレント・テクノロジーが提供する多様な専門的テストおよび測定サービスを利用することができます。こうしたサービスは、お客様それぞれの技術的ニーズおよびビジネス・ニーズに応じて購入することが可能です。お客様は、設計、システム統合、プロジェクト管理、その他の専門的なサービスのほか、校正、追加料金によるアップグレード、保証期間終了後の修理、オンサイトの教育およびトレーニングなどのサービスを購入することにより、問題を効率良く解決して、市場のきびしい競争に勝ち抜くことができます。世界各地の経験豊富なアジレント・テクノロジーのエンジニアが、お客様の生産性の向上、設備投資の回収率の最大化、製品の測定確度の維持をお手伝いします。

## アジレント・テクノロジー株式会社

本社 〒192-8510 東京都八王子市高倉町9-1

計測  
お客様窓口

受付時間 9:00~19:00  
(12:00~13:00も受付中)  
※土・日・祭日を除く

FAX、E-mail、Webは24時間受け付けています。

TEL ☎ 0120-421-345  
(0426-56-7832)

FAX ☎ 0120-421-678  
(0426-56-7840)

E-mail: [contact\\_japan@agilent.com](mailto:contact_japan@agilent.com)

電子計測ホームページ

<http://www.agilent.co.jp/find/tm>

- 記載事項は変更になる場合があります。  
ご発注の際はご確認ください。

Copyright 2003  
アジレント・テクノロジー株式会社



Agilent Technologies

July 29, 2003  
5988-9902JA  
0000-08DEP