

ポーラ変調によるパワー・アンプの 効率の向上

Agilent EEsof EDA
アプリケーション・エンジニア
Frank Ditor

はじめに

新世代の携帯電話テクノロジーが現われる度に、ポータブル無線デバイスはより小型で軽量になります。初期のアナログ携帯電話と比べると、今日のデジタル無線デバイスは性能とポータブル性において飛躍的に進歩しました。ポータブル・デバイスにおいて、バッテリー寿命は重要な性能の1つです。このバッテリー寿命を伸ばすためには、電流ドレインを少なくする必要があります。今日直面する最大の課題の1つでもあります。

ポータブル・デバイスのバッテリー容量の大部分は、出力のパワー増幅 (PA) 段で消費されます。PA段での消費電力の低減が、デバイスのバッテリー寿命全体に大きな影響を与えます。よく知られているものにバイアス・ポイントによりPAの効率を向上させる方法がありますが、この方法では現在のデジタル無線デバイスに使用されている複雑な変調には対応できません。デジタル変調方式 (QPSK、HPSK、DQPSK) の動的な特性は、PA段が極めてリニアであることを要求します。これは、信号品質を劣化させたり、信号が隣接チャンネルに影響を与える (すなわち、他の無線デバイスを妨害したりする) ことがないようにするためです。

幸い、高効率を維持したまま、ベースバンド信号処理と基本的なアナログ/RF信号処理とを組み合わせさせてPAを「線形化する」方法がいくつかあります。この記事では、一般にEER (Envelope Elimination and Reconstruction) またはポーラ変調と呼ばれる方法を紹介します。



Agilent Technologies

ポラ変調の基礎

PAの効率を向上させる方法は、従来から多数あります。簡単な方法の1つに、PAの伝導角度を制限して搬送波サイクルの特定の部分のみを増幅する方法があります。伝導のデューティ・サイクルを制限することによって、適切な出力パワーを非常に高い効率で得ることができます。しかし、このタイプの増幅は搬送波の波形を歪ませ、多くの変調方式で、変調品質を著しく低下させることとなります。この非線形増幅によって劣化しない変調方式の1つに位相変調 (ϕM) があります。 ϕM が大きな非線形増幅の影響を受けないと仮定すると、 ϕM 変調信号を高い効率で忠実に復元することが可能です。ただし、最新のデジタル変調方式では、振幅情報と位相情報が伝送されます。振幅変調 (AM) を含む変調で高効率の増幅を行うためには、波形のAM部分を除去して残った位相変調信号のみを増幅し、増幅段の後で除去したAM成分を再挿入して変調を復元して元の波形に戻す必要があります。

AM成分を復元するには、 ϕM 信号を厳しく制限し、PAの入力バイアスを最適化して、基本的にPAをE級 (スイッチ・モード) 動作にします。 ϕM 成分を厳しく制限した状態で、PAの基本波出力パワーをドレイン・バイアス電圧の2乗に比例させることができます。その後、ドレイン・バイアス電圧をAM成分で変調して、効率よくAM情報を ϕM 情報と再結合することができます。これが適切に行われると、PAのパワー効率を非常に高く維持したまま、目的の変調を低歪みで忠実に復元することができます。

図1はこの方法を用いた基本ブロック図です。

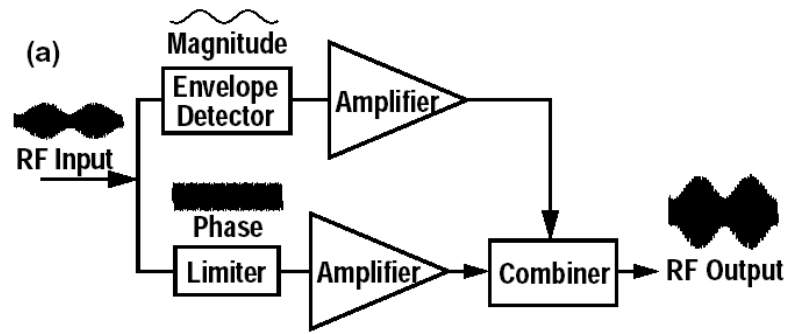


図1. シンプルなフィードフォワード・ポラ変調のブロック図

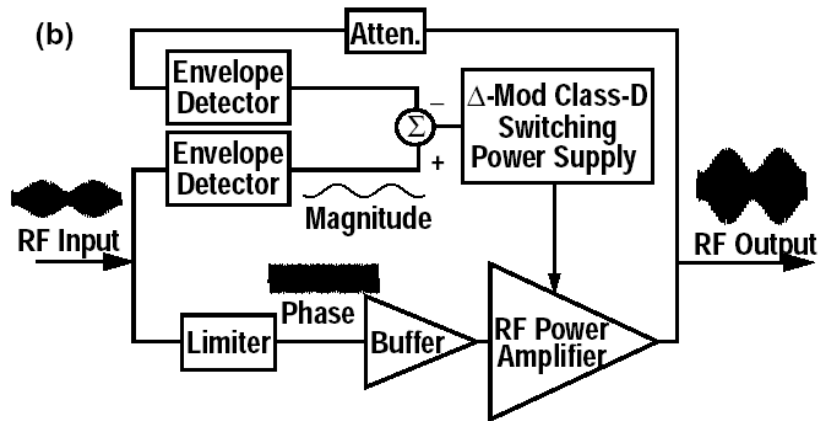


図2. フィードバック・ポラ変調のブロック図

このシステムはフィードフォワード・リニアライゼーションの一種です。システムを適切に機能させるには、PAの利得特性と遅延特性を理解して、振幅経路および位相経路を正しく同期させ、出力での変調歪みを最小にする必要があります。デジタル信号処理により、PAの特性をメモリに保存して、温度や電圧 (バイアス) の変動に対応させることができます。

もう少し高度な回路では、PAの出力振幅によるフィードバック・ループを用いています。この制御ループにより、温度やエージングに起因するPAの利得変動および、振幅フィードフォワード経路でのあらゆる非線形性に対応可能です。フィードバック経路ではデルタ・シグマ変調を使用してPAのドレイン・バイアスに安定した制御電圧を提供し、振幅を復元します。図2に、フィードバック・システムのブロック図を示します。

基本的なポーラ変調システムのシミュレーション

ポーラ変調のようなPAシステムをモデリングするのに多くの数学的なシミュレーション・フレームワークを使用できますが、ベースバンド信号の複雑な変調波形を正確にモデリングでき、RF処理の非線形モデリングが扱えるフレームワークを選択しました。モデリングの様々な抽象化レベルでビヘイバ・モデルを使用することにより、プロトタイプ of 正確な探索が容易になります。この記事では、Advanced Design System (ADS) とそのシステム・シミュレータのAgilent Ptolemyを使用して、ポーラ変調をシミュレートします。

図3は、上位レベルのビヘイバ・モデルを使用した、ポーラ変調システムのシミュレーション・スキマティックです。このシステムは、ETSI GSM仕様に準拠したEDGE変調を用いています。

このスキマティックでは、PAの特性（すなわち、1dB圧縮、AM-AM/AM-φM変換）の非線形モデリングが可能な非常に抽象的なPAビヘイバ・モデルを使用しています。この上位レベルのビヘイバ・モデルは非線形に対応しているので、入力φM信号を十分に強くドライブして実際のE級増幅器の特性をエミュレートすることが可能です。図3には示していませんが、増幅器のビヘイバ・モデルを実際の回路またはICレベルの増幅器に置き換えてより忠実にシステムをモデリングすることもできます。

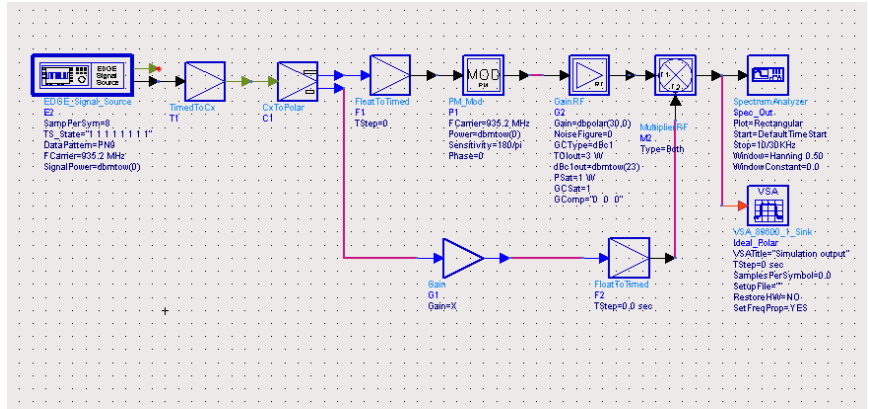


図3. 基本的なフィードフォワード・ポーラ変調のシミュレーション・スキマティック

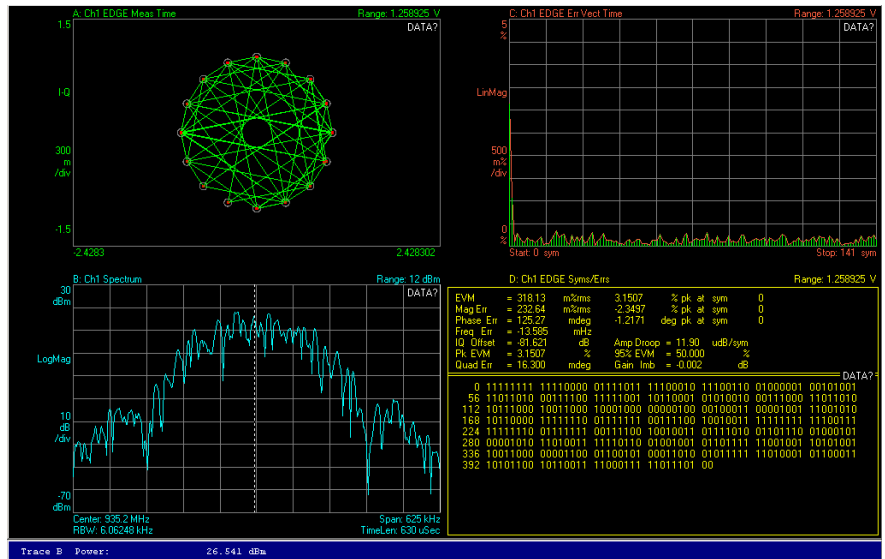


図4. 基本的なポーラ変調システムのシミュレーション結果

このシステムの性能を解析するために、Agilentベクトル・シグナル・アナライザ (VSA) ソフトウェアにシミュレーションをリンクしました (図4)。このリンクにより、上位レベルの設計とシミュレーションからラボでの実際のプロトタイプまで、一貫した測定が可能です。

図4は、このポーラ変調システムのシミュレーション結果を示しています。復元信号のEVMが1%未満であることに注目してください。これを後のシミュレーションの基準とします。信号処理とPAモデルにさらに詳細を追加するので、結果は悪くなりますが、かなりマージンがあるのでETSI要件に適合させることはできます。

PAの回路デザイン

テスト・ケースとして使用するために簡単なPAのデザインを作成して、上記の線形化の方法を証明しました。図5に示すPAの回路を、一般的なGaAs FETモデルを使用して作成し、標準的な集中定数素子コンポーネントを使用して整合させました。

このPAのゲート・バイアスは、圧縮が大きくなるように設定しました。図5は、非常に簡単な出力整合によるPA回路のスキーマティックを示しています。周波数ドメインのノンリニア・ハーモニック・バランス・シミュレータを使用して、この増幅器をシミュレートして、増幅器をE級（スイッチング）動作の動作点を求めました。

図6は、入力のドライブ・レベルと出力のタイム・ドメイン波形のシミュレーション結果です。この図から、入力パワーが約5dBmを超えると出力が圧縮し始めることが分かります。図7はシミュレーション結果の表で、ドライブ・レベル、出力パワー、PAEを示しています。PAEと圧縮を考慮して、ドライブ・レベルを+10dBmに設定しました。

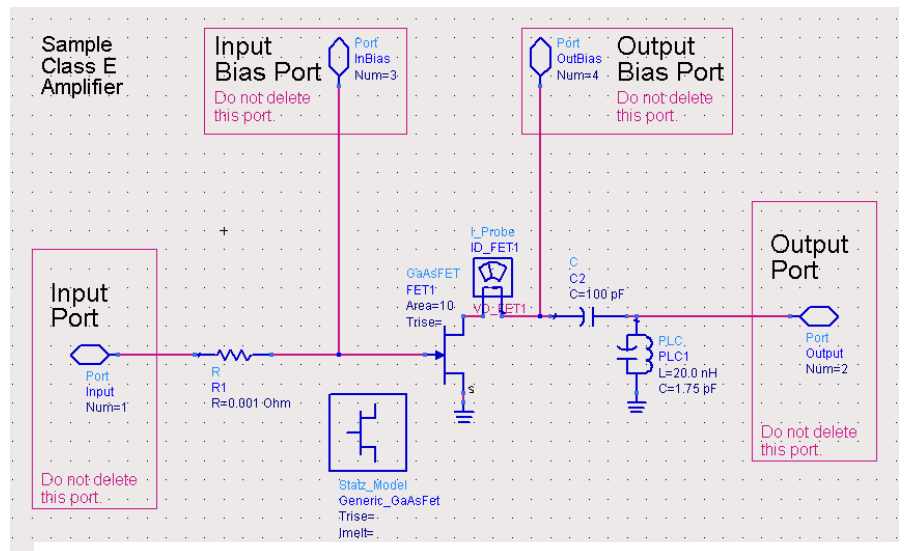


図5. 評価用パワーアンプの回路スキーマティック

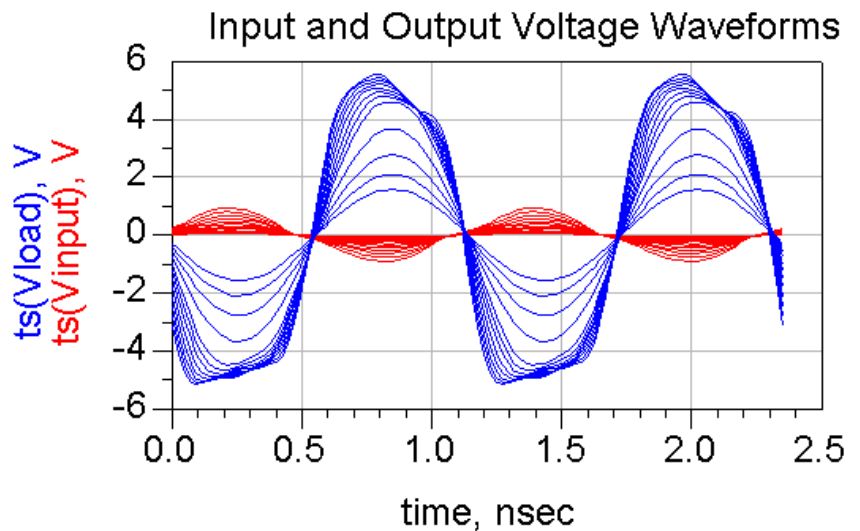


図6. PA回路のハーモニック・バランス・シミュレーションから求めたタイム・ドメインの負荷波形。シミュレーション結果の各波形は異なるパワー・レベルを示しています。+10dBmでは、アンプはかなり圧縮されています。

Available Source Power dBm	Fundamental Output Power dBm	Transducer Power Gain	Power- Added Efficiency, %	DC Power Consumpt. Watts	High Supply Current	Thermal Dissipation Watts
-5.000	21.896	18.938	5.049	0.484	0.097	0.459
-2.500	24.383	18.924	8.951	0.484	0.097	0.440
0.000	26.857	18.899	15.816	0.484	0.097	0.407
2.500	29.306	18.847	27.692	0.486	0.097	0.350
5.000	31.387	18.428	46.142	0.470	0.094	0.250
6.000	31.914	17.956	52.676	0.464	0.093	0.215
7.000	32.300	17.342	57.320	0.465	0.093	0.192
8.000	32.621	16.662	60.875	0.470	0.094	0.175
9.000	32.881	15.922	63.471	0.477	0.095	0.161
10.000	33.092	15.133	65.726	0.481	0.096	0.148
11.000	33.260	14.301	67.568	0.483	0.097	0.135
12.000	33.396	13.437	68.499	0.487	0.097	0.126

図7. パワー利得とPAEを示すシミュレーション結果。+10dBmでは動作効率が65%、出力パワーが3dB圧縮になっています。

PA評価用のポーラ・ テンプレート

図5のPAデザインと前の理想的なポーラ・シミュレーション・スキマティックをテンプレートとして使い、PAデザインの性能を評価しました。この解析を行うために、回路/システム・コシミュレーションを使用しました。ETSI EDGE波形のAM信号と ϕM 信号を作成し、シミュレーションの入力信号として使用しました。AM信号はPAの出力ドレイン電圧の変調に使用し、 ϕM 信号はRFドライブ波形として使用しました。変調性能は、非線形回路の解析が可能な回路エンベロップ・シミュレータを使用して評価しました。

PAのドレイン・バイアスをAM信号で実際に変調する前に、理想的な電圧マルチプライヤ・モデルを用いて、PAの基本的なRF性能を評価しました。シミュレーション内の実際のPA回路を使用して、シミュレーション・テンプレートを検証しました。PAの出力とAM信号は、電圧マルチプライヤに対する入力として加算しました。出力は復元された波形です。図8に示すように、このシステムの出カスペクトラムとEVMから、デザイン・コンセプトが許容範囲内の性能を容易に示していることが分かります。この構成では、PAは前述したように+10dBmでドライブされ、変調RF信号として ϕM 信号を使用しています。この条件でのPAの動作効率は60%前後で、要求されるETSI仕様に適合しています。

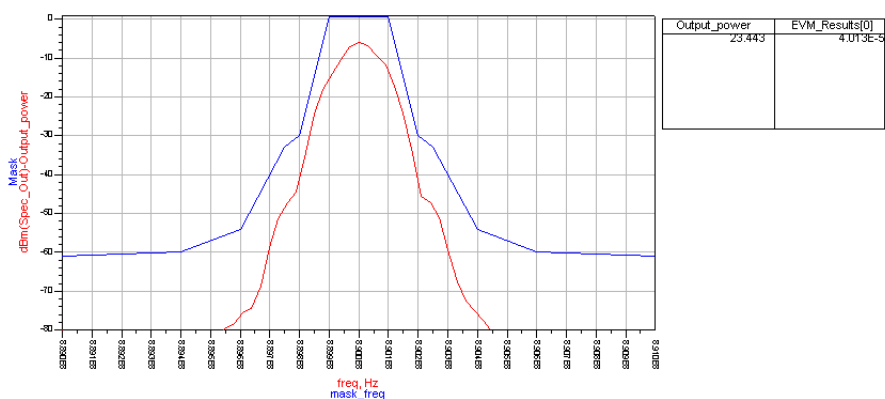


図8. PAデザインの出カスペクトラムとEVMの結果

ポーラ変調によるPAの性能を最終的に証明するために、シミュレーション・テンプレートを作成してPA回路のドレイン・バイアスを変調しました。このために、AM信号経路内にD級バイアス変調器と可変利得DC増幅器を追加しました。DC増幅器は、ドレイン・バイアスと出力パワーの設定に使用します。D級変調器は、1段デルタ・シグマ変調器と同様に1次フィードバック・ループ内の積分回路と1ビット量子化器で構成されています。この回路により、通常、高電流ニア・バイアス構成よりも低いパワー損失で、効率よくドレイン・バイアスを制御できます。

図9はD級バイアス回路を、図10は完全なポーラ・テンプレートを示しています。D級バイアス回路の遅延を補正するためにφM信号経路には遅延エレメントが追加されています。図11は、ETSIマスクを基準にした出力スペクトラムと、最終デザインのEVM性能を示しています。

図10における、EDGE信号源とEVMシンクはいずれも、実際的なEDGE変調波形を生成/測定するためのコンポーネントです。アンプのシンボルは図5のPAのインスタンスを示すサブ回路を示しています。また、D級変調器もサブ回路です。信号処理と回路シミュレーションは同時に実行した結果を図11に示します。

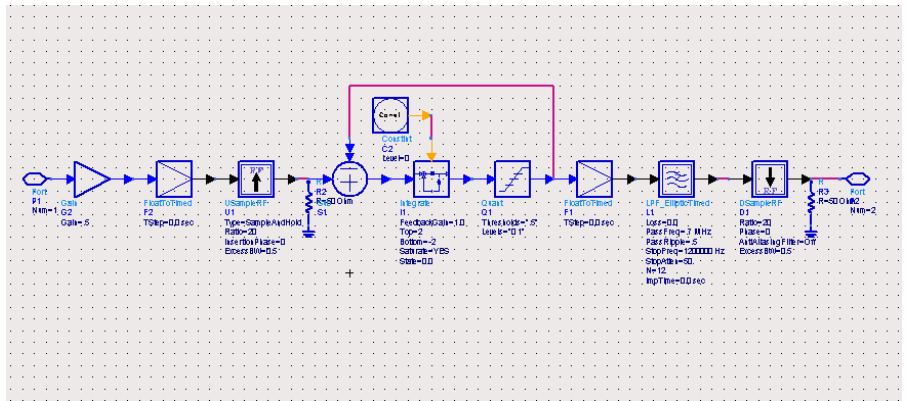


図9. D級バイアス変調器（デルタ変調器）のスキマティック

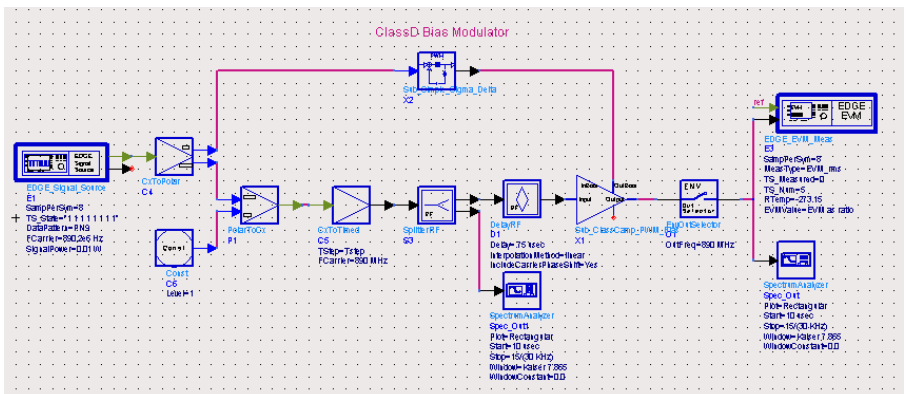


図10. PA回路とバイアス変調を含むトップレベルのポーラ変調システムのスキマティック

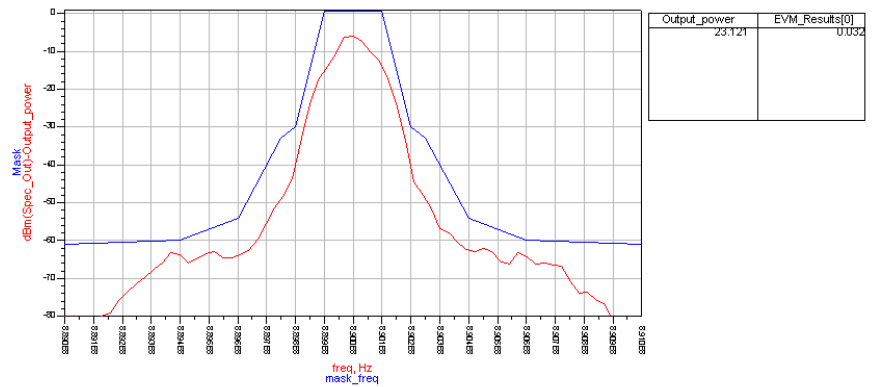


図11. ポーラ変調によるPAの出力スペクトラム

まとめ

ポーラ変調は、無線伝送の効率と安定性を向上させるための極めて有用な手法です。ここでは、代表的なPAデザインの性能を、ポーラ変調手法を使用して検証しました。入力信号として、EDGE 3/8-DQSK波形の振幅および位相信号を使用し、このPAの変調性能を検証しました。その結果、出力RFスペクトラム（ORFS）とエラー・ベクトル振幅（EVM）の両方がETSI要件に適合することが分かりました。

このアプリケーションおよびAdvanced Design Systemについての詳細は、www.agilent.co.jp/find/eesofを参照してください。

参考文献：

“An IC for Linearizing RF Power Amplifiers Using Envelope Elimination and Restoration”、David SuとWilliam McFarlandの共著、HPL-98-186

サポート、サービス、およびアシスタンス

アジレント・テクノロジーが、サービスおよびサポートにおいてお約束できることは明確です。リスクを最小限に抑え、さまざまな問題の解決を図りながら、お客様の利益を最大限に高めることにあります。アジレント・テクノロジーは、お客様が納得できる計測機能の提供、お客様のニーズに応じたサポート体制の確立に努めています。アジレント・テクノロジーの多種多様なサポート・リソースとサービスを利用すれば、用途に合ったアジレント・テクノロジーの製品を選択し、製品を十分に活用することができます。アジレント・テクノロジーのすべての測定器およびシステムには、グローバル保証が付いています。製品の製造終了後、最低5年間はサポートを提供します。アジレント・テクノロジーのサポート政策全体を貫く2つの理念が、「アジレント・テクノロジーのプロミス」と「お客様のアドバンテージ」です。

アジレント・テクノロジーのプロミス

お客様が新たに製品の購入をお考えの時、アジレント・テクノロジーの経験豊富なテスト・エンジニアが現実的な性能や実用的な製品の推奨を含む製品情報をお届けします。お客様がアジレント・テクノロジーの製品をお使いになる時、アジレント・テクノロジーは製品が約束どおりの性能を発揮することを保証します。それらは以下のようなことです。

- 機器が正しく動作するか動作確認を行います。
- 機器操作のサポートを行います。
- データシートに載っている基本的な測定に係わるアシストを提供します。
- セルフヘルプ・ツールの提供。
- 世界中のアジレント・テクノロジー・サービス・センタでサービスが受けられるグローバル保証。

お客様のアドバンテージ

お客様は、アジレント・テクノロジーが提供する多様な専門的テストおよび測定サービスを利用することができます。こうしたサービスは、お客様それぞれの技術的ニーズおよびビジネス・ニーズに応じて購入することが可能です。お客様は、設計、システム統合、プロジェクト管理、その他の専門的なサービスのほか、校正、追加料金によるアップグレード、保証期間終了後の修理、オンサイトの教育およびトレーニングなどのサービスを購入することにより、問題を効率良く解決して、市場のきびしい競争に勝ち抜くことができます。世界各地の経験豊富なアジレント・テクノロジーのエンジニアが、お客様の生産性の向上、設備投資の回収率の最大化、製品の測定確度の維持をお手伝いします。

アジレント・テクノロジー株式会社

本社 〒192-8510 東京都八王子市高倉町9-1

計測
お客様窓口

受付時間 9:00~19:00
(12:00~13:00も受付中)
※土・日・祭日を除く

FAX、E-mail、Webは24時間受け付けています。

TEL ☎ 0120-421-345
(0426-56-7832)

FAX ☎ 0120-421-678
(0426-56-7840)

E-mail: contact_japan@agilent.com

電子計測ホームページ

<http://www.agilent.co.jp/find/tm>

- 記載事項は変更になる場合があります。
ご発注の際はご確認ください。

Copyright 2003
アジレント・テクノロジー株式会社



Agilent Technologies

October 14, 2003
5989-0187JA
0000-00DEP